



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0010049
Application Number

출원 년 월 일 : 2003년 02월 18일
Date of Application FEB 18, 2003

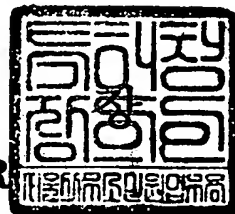
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 15 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0025
【제출일자】	2003.02.18
【국제특허분류】	H01L
【발명의 명칭】	피크전류가 적은 레벨 쉬프터
【발명의 영문명칭】	Level shifter having low peak current
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	김경월
【성명의 영문표기】	KIM, Kyung Wol
【주민등록번호】	711212-2665716
【우편번호】	150-045
【주소】	서울특별시 영등포구 당산동5가 효성아파트 104-1505
【국적】	KR
【발명자】	
【성명의 국문표기】	전용원
【성명의 영문표기】	JEON, Yong Weon
【주민등록번호】	651118-1080127

【우편번호】 442-707
【주소】 경기도 수원시 팔달구 망포동 벽산아파트 117-1201
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)
【수수료】
【기본출원료】 18 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 9 항 397,000 원
【합계】 426,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

피크전류가 적은 레벨 쉬프터가 개시된다. 상기 레벨 쉬프터는 제1 및 제2입력 트랜지스터, 제1 및 제2부하 트랜지스터, 제1 및 제2스위치 트랜지스터, 제1 및 제2출력부를 구비한다. 상기 제1입력 트랜지스터는 제1전압레벨과 접지레벨 사이에서 천이하는 입력신호를 수신하고 상기 제2입력 트랜지스터는 상기 입력신호의 반전신호를 수신한다. 상기 제1 및 제2부하 트랜지스터는 상기 제1전압레벨보다 높은 제2전압레벨에 각각 일단이 연결된다. 상기 제1스위치 트랜지스터는 상기 제1부하 트랜지스터와 상기 제1입력 트랜지스터 사이에 연결되고 상기 입력신호의 반전신호에 응답하며, 상기 제2스위치 트랜지스터는 상기 제2부하 트랜지스터와 상기 제2입력 트랜지스터 사이에 연결되고 상기 입력신호에 응답한다. 상기 제1부하 트랜지스터의 게이트는 상기 제2입력 트랜지스터와 상기 제2스위치 트랜지스터의 접속노드에 연결되고 상기 제2부하 트랜지스터의 게이트는 상기 제1입력 트랜지스터와 상기 제1스위치 트랜지스터의 접속노드에 연결된다. 상기 제1출력부는 상기 제1부하 트랜지스터와 상기 제1스위치 트랜지스터의 접속노드의 신호 및 상기 제1입력 트랜지스터와 상기 제1스위치 트랜지스터의 접속노드의 신호에 응답하여 출력신호를 발생한다. 상기 제2출력부는 상기 제2부하 트랜지스터와 상기 제2스위치 트랜지스터의 접속노드의 신호 및 상기 제2입력 트랜지스터와 상기 제2스위치 트랜지스터의 접속노드의 신호에 응답하여 상기 출력신호의 상보신호를 발생한다.

【대표도】

도 3

【명세서】

【발명의 명칭】

피크전류가 적은 레벨 쉬프터{Level shifter having low peak current}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 TFT LCD 드라이버에 사용되는 종래의 레벨 쉬프터를 나타내는 회로도이다.

도 2는 도 1의 종래의 레벨 쉬프터의 동작 타이밍도이다.

도 3은 본 발명의 일실시예에 따른 레벨 쉬프터를 나타내는 회로도이다.

도 4는 도 3의 본 발명에 따른 레벨 쉬프터의 동작 타이밍도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<6> 본 발명은 레벨 쉬프터(Level shifter)에 관한 것으로, 특히 TFT LCD(Thin Film Transistor Liquid Crystal Display) 드라이버에 사용되는 전압 레벨 쉬프터에 관한 것이다.

<7> 레벨 쉬프터는 낮은 전위의 제1전압레벨을 높은 전위의 제2전압레벨로 전환하는 회로이며 일반적으로 TFT LCD 드라이버에는 수백개 이상의 레벨 쉬프터들이 사용한다. 따라서 레벨 쉬프터의 피크 전류(Peak current)가 클 경우에는 TFT LCD 드라이버의 전류소



모가 증가된다. 따라서 TFT LCD 드라이버의 전류소모를 감소시키기 위해서는 레벨 쉬프터의 피크 전류를 줄이는 것이 요구된다.

<8> 도 1은 TFT LCD 드라이버에 사용되는 종래의 레벨 쉬프터를 나타내는 회로도이고 도 2는 도 1의 종래의 레벨 쉬프터의 동작 타이밍도이다.

<9> 도 1을 참조하면, 종래의 레벨 쉬프터는 피모스 트랜지스터들(MP1-MP4), 엔모스 트랜지스터들(MN1-MN2), 인버터들(INV1-INV3)을 구비한다. 여기에서 VCC는 제1전압레벨을 나타내고 VDD는 VCC보다 높은 전위의 제2전압레벨을 나타낸다. 입력신호(DATA)는 제1전압레벨(VCC)과 접지레벨(VSS) 사이에서 천이하는 신호이다.

<10> 좀더 설명하면 입력신호(DATA)가 제1전압레벨(VCC)일 때에는 MP1은 턴오프되고 MN1은 턴온되어 노드(N1)은 접지레벨(VSS)로 떨어지게 된다. 또한 인버터(INV1)에 의해 입력신호(DATA)의 반전신호(DATAB)는 논리"로우", 즉 접지레벨(VSS)이 되고 이에 따라 MP3는 턴온되고 MN2는 턴오프된다. 이때 VSS 레벨인 노드(N1)의 신호에 의해 MP4는 턴온되기 시작하므로 그 결과 노드(N2)는 제2전압레벨(VDD)까지 올라가게 된다. 한편 MP2는 VDD레벨인 노드(N2)의 신호에 의해 턴오프된다. 결국 출력신호(OUT) 및 상보 출력신호(OUTB)는 각각 VDD 레벨 및 VSS 레벨이 된다.

<11> 반대로, 입력신호(DATA)가 접지레벨(VSS)일 때에는 MP1은 턴온되고 MN1은 턴오프된다. 입력신호의 반전신호(DATAB)는 논리"하이", 즉 VCC 레벨이 되고 이에 따라 MP3는 턴오프되고 MN2는 턴온된다. 따라서 노드(N2)는 VSS 레벨로 떨어지게 되고, 노드(N2)에 의해 MP2가 턴온되어 노드(N1)의 레벨은 제2전압레벨인 VDD 레벨까지 올라가게 된다. 한편 노드(N1)에 의해 MP4는 완전히 턴오프된다. 결국 출력신호(OUT) 및 상보 출력신호(OUTB)는 각각 VSS 레벨 및 VDD 레벨이 된다.



<12> 이때, 크로스 커플된(cross-coupled) MP2와 MP4에 의해 노드(N1)의 전압과 노드(N2)의 전압이 각각 완전히 "하이(high)" 및 "로우(low)"로 가기 전에 오버랩(overlap)되는 부분이 생기게 되고 이로 인해 MP1, MP2, MN1 사이 및 MP3, MP4, MN2 사이에 원하지 않는 오버랩 전류 패쓰(overlap current path)가 발생된다. 또한 인버터(INV2)의 피모스 트랜지스터(MP5)와 엔모스 트랜지스터(MN5)의 게이트들이 노드(N2)에 물려 있기 때문에 이 전류패쓰의 영향을 직접적으로 받게 되어 총 피크전류(total peak current)가 증가하게 된다.

<13> 그러므로, 수 백개 이상의 레벨 쉬프터를 사용하는 TFT-LCD 드라이버와 같은 표시소자(display device)에서는 레벨 쉬프터의 총 피크전류를 최소화하는 것이 매우 중요하다.

【발명이 이루고자 하는 기술적 과제】

<14> 따라서 본 발명이 이루고자 하는 기술적 과제는, 피크전류가 적은 레벨 쉬프터를 제공하는 데 있다.

【발명의 구성 및 작용】

<15> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 레벨 쉬프터는, 제1 및 제2입력 트랜지스터, 제1 및 제2부하 트랜지스터, 제1 및 제2스위치 트랜지스터, 제1 및 제2출력부를 구비하는 것을 특징으로 한다.

<16> 상기 제1입력 트랜지스터는 제1전압레벨과 접지레벨 사이에서 천이하는 입력신호를 수신하고, 상기 제2입력 트랜지스터는 상기 입력신호의 반전신호를 수신한다.

- <17> 상기 제1 및 제2부하 트랜지스터는 상기 제1전압레벨보다 높은 제2전압레벨에 각각 일단이 연결된다.
- <18> 상기 제1스위치 트랜지스터는 상기 제1부하 트랜지스터와 상기 제1입력 트랜지스터 사이에 연결되고 상기 입력신호의 반전신호에 응답하고, 상기 제2스위치 트랜지스터는 상기 제2부하 트랜지스터와 상기 제2입력 트랜지스터 사이에 연결되고 상기 입력신호에 응답한다.
- <19> 상기 제1부하 트랜지스터의 게이트는 상기 제2입력 트랜지스터와 상기 제2스위치 트랜지스터의 접속노드에 연결되고 상기 제2부하 트랜지스터의 게이트는 상기 제1입력 트랜지스터와 상기 제1스위치 트랜지스터의 접속노드에 연결된다.
- <20> 상기 제1출력부는 상기 제1부하 트랜지스터와 상기 제1스위치 트랜지스터의 접속노드의 신호 및 상기 제1입력 트랜지스터와 상기 제1스위치 트랜지스터의 접속노드의 신호에 응답하여 출력신호를 발생한다. 상기 제2출력부는 상기 제2부하 트랜지스터와 상기 제2스위치 트랜지스터의 접속노드의 신호 및 상기 제2입력 트랜지스터와 상기 제2스위치 트랜지스터의 접속노드의 신호에 응답하여 상기 출력신호의 상보신호를 발생한다.
- <21> 바람직하기로는 상기 제1 및 제2입력 트랜지스터는 엔모스 트랜지스터이고 상기 제1 및 제2부하 트랜지스터는 피모스 트랜지스터이며 상기 제1 및 제2스위치 트랜지스터는 피모스 트랜지스터이다.
- <22> 바람직하기로는 상기 제1출력부는 상기 제2전압레벨과 상기 접지레벨 사이에 직렬 연결되는 피모스 트랜지스터 및 엔모스 트랜지스터를 구비하고, 상기 피모스 트랜지스터의 게이트에는 상기 제1부하 트랜지스터와 상기 제1스위치 트랜지스터의 접속노드의 신

호가 인가되고, 상기 엔모스 트랜지스터의 게이트에는 상기 제1입력 트랜지스터와 상기 제1스위치 트랜지스터의 접속노드의 신호가 인가되며, 상기 피모스 트랜지스터와 상기 엔모스 트랜지스터의 접속노드로부터 상기 출력신호가 출력된다.

<23> 바람직하기로는 상기 제2출력부는 상기 제2전압레벨과 상기 접지레벨 사이에 직렬 연결되는 피모스 트랜지스터 및 엔모스 트랜지스터를 구비하고, 상기 피모스 트랜지스터의 게이트에는 상기 제2부하 트랜지스터와 상기 제2스위치 트랜지스터의 접속노드의 신호가 인가되고, 상기 엔모스 트랜지스터의 게이트에는 상기 제2입력 트랜지스터와 상기 제2스위치 트랜지스터의 접속노드의 신호가 인가되며, 상기 피모스 트랜지스터와 상기 엔모스 트랜지스터의 접속노드로부터 상기 출력신호의 상보신호가 출력된다.

<24> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<25> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<26> 도 3은 본 발명의 일실시예에 따른 레벨 쉬프터를 나타내는 회로도이다.

<27> 도 3을 참조하면, 본 발명의 일실시예에 따른 레벨 쉬프터는, 제1 및 제2입력 트랜지스터(MN1, MN2), 제1 및 제2부하 트랜지스터(MP1, MP3), 제1 및 제2스위치 트랜지스터(MP2, MP4), 제1 및 제2출력부(31, 33), 및 인버터(INV1)를 구비한다.

<28> 여기에서 제1 및 제2입력 트랜지스터(MN1, MN2)는 엔모스 트랜지스터이고 제1 및 제2부하 트랜지스터(MP1, MP3)는 피모스 트랜지스터이며 제1 및 제2스위치 트랜지스터



(MP2,MP4)는 피모스 트랜지스터이다. VCC는 제1전압레벨을 나타내고 VDD는 VCC보다 높은 전위의 제2전압레벨을 나타낸다.

<29> 입력신호(DATA)는 제1전압레벨(VCC)과 접지레벨(VSS) 사이에서 천이하는 신호이다.

인버터(INV1)는 제1전압레벨(VCC)을 전원으로 사용하며 입력신호(DATA)를 반전시켜 입력신호의 반전신호(DATAB)를 출력한다.

<30> 제1부하 트랜지스터에 해당하는 피모스 트랜지스터(MP1)은 제2전압레벨(VDD)에 소오스가 연결되고 제1노드(N1)에 드레인이 연결되고 제4노드(N4)에 게이트가 연결된다.

제2부하 트랜지스터에 해당하는 피모스 트랜지스터(MP3)은 제2전압레벨(VDD)에 소오스가 연결되고 제3노드(N3)에 드레인이 연결되고 제2노드(N2)에 게이트가 연결된다.

<31> 제1스위치 트랜지스터에 해당하는 피모스 트랜지스터(MP2)는 제1노드(N1)에 소오스가 연결되고 제2노드(N2)에 드레인이 연결되고 입력신호(DATA)의 반전신호(DATAB)에 게이트가 연결된다. 제2스위치 트랜지스터에 해당하는 피모스 트랜지스터(MP4)는 제3노드(N3)에 소오스가 연결되고 제4노드(N4)에 드레인이 연결되고 입력신호(DATA)에 게이트가 연결된다.

<32> 제1입력 트랜지스터에 해당하는 엔모스 트랜지스터(MN1)은 제2노드(N2)에 드레인이 연결되고 접지레벨(VSS)에 소오스가 연결되고 입력신호(DATA)에 게이트가 연결된다. 제2입력 트랜지스터에 해당하는 엔모스 트랜지스터(MN2)은 제4노드(N4)에 드레인이 연결되고 접지레벨(VSS)에 소오스가 연결되고 입력신호의 반전신호(DATAB)에 게이트가 연결된다.

- <33> 제1출력부(31)는 제1노드(N1)의 신호 및 제2노드(N2)의 신호에 응답하여 출력신호(OUT)를 발생한다. 제2출력부(33)는 제3노드(N3)의 신호 및 제4노드(N4)의 신호에 응답하여 상보 출력신호(OUTB)를 발생한다.
- <34> 제1출력부(31)는 피모스 트랜지스터(MP5) 및 엔모스 트랜지스터(MN5)를 구비한다. 피모스 트랜지스터(MP5)는 제2전압레벨(VDD)에 소오스가 연결되고 제1노드(N1)에 게이트가 연결되고 출력신호(OUT)가 출력되는 출력노드에 드레인이 연결된다. 엔모스 트랜지스터(MN5)는 상기 출력노드에 드레인이 연결되고 제2노드(N2)에 게이트가 연결되고 접지레벨(VSS)에 소오스가 연결된다.
- <35> 제2출력부(33)는 피모스 트랜지스터(MP6) 및 엔모스 트랜지스터(MN6)를 구비한다. 피모스 트랜지스터(MP6)는 제2전압레벨(VDD)에 소오스가 연결되고 제3노드(N3)에 게이트가 연결되고 상보 출력신호(OUTB)가 출력되는 상보 출력노드에 드레인이 연결된다. 엔모스 트랜지스터(MN6)는 상기 상보 출력노드에 드레인이 연결되고 제4노드(N4)에 게이트가 연결되고 접지레벨(VSS)에 소오스가 연결된다.
- <36> 도 4는 도 3의 본 발명에 따른 레벨 쉬프터의 동작 타이밍도이다.
- <37> 이하 도 4의 타이밍도를 참조하여 도 3의 본 발명에 따른 레벨 쉬프터의 동작이 상세히 설명된다. 먼저 입력신호(DATA)가 논리"하이" 즉 제1전압레벨(VCC)일 때에는 MN1은 턴온되고 MN2은 턴오프된다. 이에 따라 노드(N2)는 접지레벨(VSS)로 떨어지고 그 결과 MP3는 턴온되어 노드(N3)의 전압은 VDD 레벨까지 올라가게 된다.
- <38> 이때 DATA가 VCC 레벨이므로 MP4의 게이트와 소오스간의 전압(V_{gs})은 $(VCC-VDD)$ 가 되어 MP4는 턴온되고 그 결과 노드(N4)는 VDD 레벨까지 올라가게 된다.



- <39> 한편 MP1은 노드(N4)의 VDD 레벨에 의해 컷오프(cut-off) 영역에 들어가게 되고, MP2의 게이트에는 논리 로우 즉 VSS 레벨이 인가되므로 MP2는 포화(saturation)된다. 노드(N1)의 전압레벨은 MP2의 포화(saturation) 전압에 의해 $V_{thp2}+V$ 가 된다. V_{thp2} 는 MP2의 문턱전압이며 V_{thp1} (MP1의 문턱전압)보다 더 큰 전압크기를 갖는다. V 는 MP2가 포화되기 위해 필요한 최소한의 전압이다. 이때 MP2는 저항(resistor)처럼 동작하게 되며 노드(N1)와 노드(N2)를 서로 다른 전압 레벨을 갖게 하여 오버랩 전류패쓰(overlap current path)를 차단하여 피크전류가 줄게 되고 결과적으로 평균전류도 감소하게 된다.
- <40> MP5의 게이트와 소오스 간의 전압(V_{gs})은 $(V_{thp2}+V-VDD)$ 가 되며 MP5를 턴온시키기에 충분한 전압이 된다. 이때 출력신호(OUT)은 VDD 레벨이 되며 MN5는 노드(N2)의 전압에 의해 턴오프된다. 이와 마찬가지로 MP6는 노드(N3)의 전압에 의해 턴오프되고 MN6는 노드(N4)의 전압에 의해 턴온되어 상보 출력신호(OUTB)는 접지레벨(VSS)이 된다.
- <41> 이와 같이 본 발명에 따른 레벨 쉬프터에서는 MP5의 게이트 입력과 MN5의 게이트 입력이 저항처럼 동작하는 MP2에 의해 분리될 수 있고 또한 MP6의 게이트 입력과 MN6의 게이트 입력이 저항처럼 동작하는 MP4에 의해 분리될 수 있기 때문에 오버랩 전류가 감소될 수 있으며 결과적으로 피크 전류가 감소될 수 있다. 다시말해 MP5와 MN5가 시간차이를 두고 동작하고 또한 MP6와 MN6가 시간차이를 두고 동작하기 때문에 오버랩 전류가 감소될 수 있으며 결과적으로 피크 전류가 감소될 수 있다.
- <42> 반대로 입력신호(DATA)가 논리 로우 , 즉 접지레벨(VSS)일 때에는 MN2가 턴온되고 노드(N4)는 VSS 레벨까지 떨어진다. 노드(N4)는 MP1의 게이트에 연결되어 있으므로 MP1은 턴온되고 MP2의 게이트와 소오스 간의 전압(V_{gs})은 $(VCC-VDD)$ 가 되어 턴온되고 MP2는 스위치처럼 동작하게 된다. 따라서 노드(N2)도 VDD 레벨이 된다. 한편 MN1은 턴오프되고

MP4가 포화(saturation)되어 노드(N3)는 $V_{thp4}+V$ 의 전위를 갖게 되며 따라서 MP6는 턴온되고 상보 출력신호(OUTB)는 VDD 레벨이 된다. MN6는 노드(N4)의 전압에 의해 턴오프된다. 또한 MP5는 노드(N1)의 전압에 의해 턴오프되고 MN5는 노드(N2)의 전압에 의해 턴온되어 출력신호(OUT)는 접지레벨(VSS)이 된다.

<43> 이상 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<44> 상술한 바와 같이, 본 발명에 따른 레벨 쉬프터에서는 오버랩 전류가 감소될 수 있으며 결과적으로 피크 전류가 감소될 수 있는 장점이 있다.

【특허청구범위】

【청구항 1】

제1전압레벨과 접지레벨 사이에서 천이하는 입력신호를 제2전압레벨과 접지레벨 사이에서 천이하는 신호로 전환하는 레벨 쉬프터에 있어서,

상기 입력신호 및 이의 반전신호를 각각 수신하는 제1 및 제2입력 트랜지스터;

상기 제2전압레벨에 각각 일단이 연결되는 제1 및 제2부하 트랜지스터;

상기 제1부하 트랜지스터와 상기 제1입력 트랜지스터 사이에 연결되고 상기 반전 신호에 응답하는 제1스위치 트랜지스터;

상기 제2부하 트랜지스터와 상기 제2입력 트랜지스터 사이에 연결되고 상기 입력신호에 응답하는 제2스위치 트랜지스터;

상기 제1부하 트랜지스터와 상기 제1스위치 트랜지스터의 접속노드의 신호 및 상기 제1입력 트랜지스터와 상기 제1스위치 트랜지스터의 접속노드의 신호에 응답하여 출력신호를 발생하는 제1출력부; 및

상기 제2부하 트랜지스터와 상기 제2스위치 트랜지스터의 접속노드의 신호 및 상기 제2입력 트랜지스터와 상기 제2스위치 트랜지스터의 접속노드의 신호에 응답하여 상기 출력신호의 상보신호를 발생하는 제2출력부를 구비하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 2】

제1항에 있어서, 상기 제1 및 제2입력 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 하는 레벨 쉬프터.

【청구항 3】

제1항에 있어서, 상기 제1 및 제2부하 트랜지스터는 피모스 트랜지스터인 것을 특징으로 하는 레벨 쉬프터.

【청구항 4】

제3항에 있어서, 상기 제1부하 트랜지스터의 게이트는 상기 제2입력 트랜지스터와 상기 제2스위치 트랜지스터의 접속노드에 연결되고 상기 제2부하 트랜지스터의 게이트는 상기 제1입력 트랜지스터와 상기 제1스위치 트랜지스터의 접속노드에 연결되는 것을 특징으로 하는 레벨 쉬프터.

【청구항 5】

제1항에 있어서, 상기 제1 및 제2스위치 트랜지스터는 피모스 트랜지스터인 것을 특징으로 하는 레벨 쉬프터.

【청구항 6】

제1항에 있어서, 상기 제1출력부는,
상기 제2전압레벨과 상기 접지레벨 사이에 직렬연결되는 피모스 트랜지스터 및 엔모스 트랜지스터를 구비하고,
상기 피모스 트랜지스터의 게이트에는 상기 제1부하 트랜지스터와 상기 제1스위치 트랜지스터의 접속노드의 신호가 인가되고, 상기 엔모스 트랜지스터의 게이트에는 상기 제1입력 트랜지스터와 상기 제1스위치 트랜지스터의 접속노드의 신호가 인가되며, 상기 피모스 트랜지스터와 상기 엔모스 트랜지스터의 접속노드로부터 상기 출력신호가 출력되는 것을 특징으로 하는 레벨 쉬프터.

【청구항 7】

제1항에 있어서, 상기 제2출력부는,

상기 제2전압레벨과 상기 접지레벨 사이에 직렬연결되는 피모스 트랜지스터 및 엔모스 트랜지스터를 구비하고,

상기 피모스 트랜지스터의 게이트에는 상기 제2부하 트랜지스터와 상기 제2스위치 트랜지스터의 접속노드의 신호가 인가되고, 상기 엔모스 트랜지스터의 게이트에는 상기 제2입력 트랜지스터와 상기 제2스위치 트랜지스터의 접속노드의 신호가 인가되며, 상기 피모스 트랜지스터와 상기 엔모스 트랜지스터의 접속노드로부터 상기 출력신호의 상보신호가 출력되는 것을 특징으로 하는 레벨 쉬프터.

【청구항 8】

제1전압레벨과 접지레벨 사이에서 천이하는 입력신호를 제2전압레벨과 접지레벨 사이에서 천이하는 신호로 전환하는 레벨 쉬프터에 있어서,

제 1 내지 제4노드;

상기 제2전압레벨에 소오스가 연결되고 상기 제1노드에 드레인이 연결되고 상기 제4노드에 게이트가 연결되는 제1피모스 트랜지스터;

상기 제1노드에 소오스가 연결되고 상기 제2노드에 드레인이 연결되고 상기 입력신호의 반전신호에 게이트가 연결되는 제2피모스 트랜지스터;

상기 제2노드에 드레인이 연결되고 상기 접지레벨에 소오스가 연결되고 상기 입력신호에 게이트가 연결되는 제1엔모스 트랜지스터;

상기 제2전압레벨에 소오스가 연결되고 상기 제3노드에 드레인이 연결되고 상기 제2노드에 게이트가 연결되는 제3피모스 트랜지스터;

상기 제3노드에 소오스가 연결되고 상기 제4노드에 드레인이 연결되고 상기 입력 신호에 게이트가 연결되는 제4피모스 트랜지스터;

상기 제4노드에 드레인이 연결되고 상기 접지레벨에 소오스가 연결되고 상기 입력 신호의 반전신호에 게이트가 연결되는 제2엔모스 트랜지스터;

상기 제2전압레벨에 소오스가 연결되고 상기 제1노드에 게이트가 연결되고 출력노드에 드레인이 연결되는 제5피모스 트랜지스터;

상기 출력노드에 드레인이 연결되고 상기 제2노드에 게이트가 연결되고 상기 접지레벨에 소오스가 연결되는 제3엔모스 트랜지스터;

상기 제2전압레벨에 소오스가 연결되고 상기 제3노드에 게이트가 연결되고 상보 출력노드에 드레인이 연결되는 제6피모스 트랜지스터;

상기 상보 출력노드에 드레인이 연결되고 상기 제4노드에 게이트가 연결되고 상기 접지레벨에 소오스가 연결되는 제4엔모스 트랜지스터를 구비하는 것을 특징으로 하는 레벨 쉬프터.

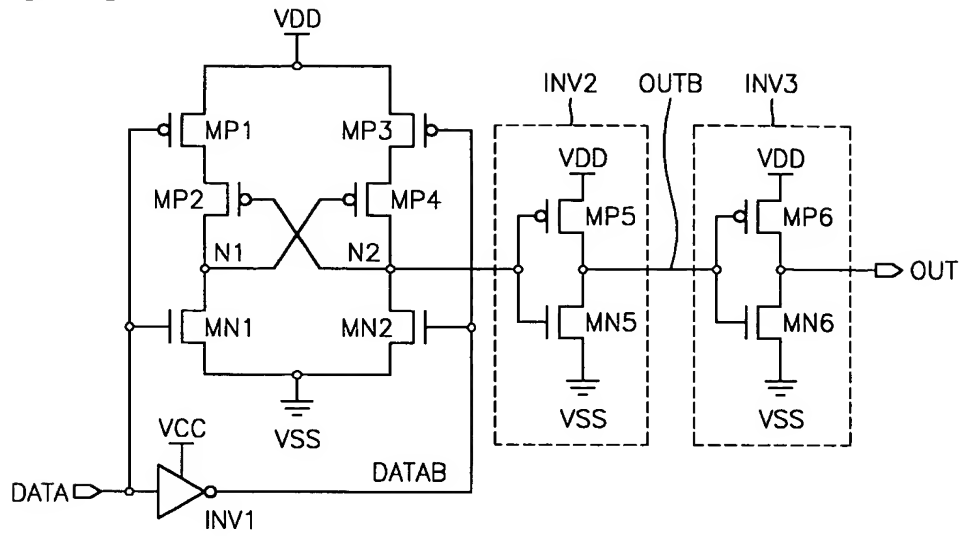
【청구항 9】

제8항에 있어서,

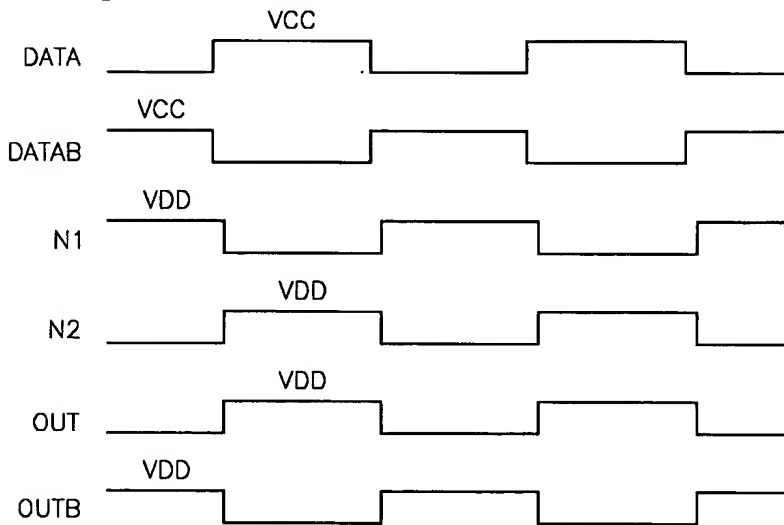
상기 제1전압레벨을 전원으로 사용하며 상기 입력신호를 반전시켜 상기 입력신호의 반전신호를 출력하는 인버터를 더 구비하는 것을 특징으로 하는 레벨 쉬프터.

【도면】

【도 1】



【도 2】



[illegible]

Timing diagram for the 74VHC04 inverter. The diagram shows the relationship between DATA, DATAB, N1, N2, N3, N4, OUT, and OUTB signals. DATA and DATAB are square waves. N1 is $V_{DD} - V_{tp2}$ when DATA is high. N2 is VSS when DATA is high. N3 is $V_{DD} - V_{tp4}$ when DATAB is high. N4 is VDD when DATAB is high. OUT is the inverted output of DATA, and OUTB is the inverted output of DATAB.